

DERWENT-ACC-NO: 2001-105997

DERWENT-WEEK: 200112

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Field effect type semiconductor device has laminated gate electrode in which semiconductor layer having specific oxygen content is formed between silicon and tungsten films

PATENT-ASSIGNEE: HITACHI LTD[HITA]

PRIORITY-DATA: 1999JP-0098400 (April 6, 1999)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 2000294562 A	October 20, 2000	N/A	007	H01L021/324

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2000294562A	N/A	1999JP-0098400	April 6, 1999

INT-CL (IPC): H01L021/28, H01L021/324, H01L021/8238, H01L027/092, H01L029/78

ABSTRACTED-PUB-NO: JP2000294562A

BASIC-ABSTRACT:

NOVELTY - Laminated gate electrode (6) with nitride tungsten film (4) between polycrystalline Si film (3) and W film (5), is formed on gate oxide film (2) on semiconductor substrate (1). Specific portion of film (2) is oxidized to form reoxidation film on film (2) and semiconductor layer (8) having 5% or less of O

between Si and W films to set contact resistance of Si and W films to 5 multiply 10^{-6} Ohm cm^2 or less.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for semiconductor device manufacturing method.

USE - Field effect type semiconductor device with laminated gate electrode is used for large scale integration (LSI).

ADVANTAGE - Reduces contact resistance between silicon and tungsten films in laminated gate electrode.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of laminated gate electrode.

Semiconductor substrate 1

Gate oxide film 2

Polycrystalline silicon film 3

Tungsten films 4,5

Gate electrode 6

Semiconductor layer 8

CHOSEN-DRAWING: Dwg.4/6

DERWENT-CLASS: L03 U11 U12 U13

CPI-CODES: L04-C11C; L04-E01A;

EPI-CODES: U11-C05E1; U11-C05F1; U12-D02A; U13-D02;

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-294562

(P2000-294562A)

(43) 公開日 平成12年10月20日 (2000. 10. 20)

(51) Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 L 21/32A		H 0 1 L 21/32A	Z 4 M 1 0 4
21/28	3 0 1	21/28	3 0 1 A 5 F 0 4 0
21/8238		27/08	3 2 1 D 5 F 0 4 8
27/092		29/78	3 0 1 G
29/78			

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願平11-98400

(22) 出願日 平成11年4月6日 (1999. 4. 6)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 花岡 裕子

東京都国分寺市東壺ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 山本 直樹

東京都国分寺市東壺ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100061893

弁理士 高橋 明夫 (外1名)

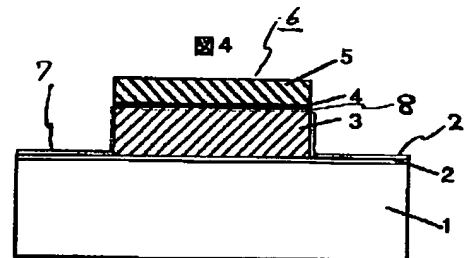
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 積層型ゲート電極の構成膜間のコンタクト抵抗を低減すること。

【解決手段】 半導体基板1上の薄いゲート酸化膜2に、半導体膜層3/高融点金属の窒化物からなるバリア膜4/高融点金属5が順次積層された積層型ゲート電極6を備えた半導体基板を、水蒸気と水素の混合雰囲気下で水蒸気分圧5%~20%、熱処理温度650℃~850℃の範囲で熱処理を行う。これにより、半導体膜層とバリア膜の間では半導体膜層上に部分に存在する酸化膜のみを選択的に還元する一方で、半導体基板上の薄いゲート酸化膜が露出した部分7では選択的に酸化することができる。半導体膜層/バリア膜間に酸素含有量5%以下の半導体-酸素結合層8を形成し、ゲート電極部のコンタクト抵抗を $5 \times 10^{-6} \Omega \text{cm}^2$ 以下が実現できる。



1…半導体基板、 2…ゲート酸化膜、
2'…再酸化膜、 3…多結晶シリコン膜、
4…窒化タングステン膜、 5…タングステン膜、
6…積層型ゲート電極、 7…ゲート酸化膜の露出部、
8…酸素含有量5%以下の半導体-酸素結合層

【特許請求の範囲】

【請求項1】半導体基板主面に形成された極薄のゲート酸化膜の一領域には、半導体膜層及び高融点金属の窒化物層からなるバリア層を介して高融点金属膜層を積層したゲート電極が設けられ、前記ゲート電極加工後の段階において、前記電極周辺の他の領域には少なくとも前記極薄のゲート酸化膜が露出した部分を有する半導体装置であって、前記高融点金属膜層の下地を構成する前記半導体膜層と前記バリア層との間に、前記半導体膜層の表面に自然発生的に形成された酸化膜を還元して酸素含有量5%以下の半導体-酸素結合層を設ける共に、前記ゲート電極部周辺に露出した前記極薄のゲート酸化膜上に、前記半導体-酸素結合層の形成と同一工程で形成される再酸化膜を設け、前記ゲート電極を構成する高融点金属膜層と半導体膜層とのコンタクト抵抗を $5 \times 10^{-6} \Omega \text{cm}^2$ 以下とすることを特徴とする半導体装置。

【請求項2】前記ゲート電極の一つは前記半導体膜層にp型不純物が注入されたゲート電極であり、他の一つは前記半導体膜層にn型不純物が注入されたゲート電極であって、これら導電型が互いに異なる半導体膜層を有するゲート電極が同一半導体基板上に形成され、相補形の電界効果型半導体装置を構成していることを特徴とする請求項1記載の半導体装置。

【請求項3】前記高融点金属の窒化物層からなるバリア層が、タングステン窒化物膜及びモリブデン窒化物膜の少なくとも1種を主成分とする材料で構成されていることを特徴とする請求項1もしくは2記載の半導体装置。

【請求項4】前記高融点金属の窒化物層の窒素含有量が、10~40%であることを特徴とする請求項1乃至3のいずれか一つに記載の半導体装置。

【請求項5】半導体基板主面に、極薄のゲート酸化膜を形成する工程と、

前記ゲート酸化膜上に半導体膜層、高融点金属膜の窒化物からなるバリア層および高融点金属膜層を順次積層する成膜工程と、

前記成膜工程により形成された積層膜上にマスクパターンを形成し、前記ゲート酸化膜上の積層膜を選択的に除去してゲート電極を形成すると共に、ゲート電極周辺の前記極薄のゲート酸化膜の少なくとも一部を露出させる選択エッチング工程とを有する半導体装置の製造方法であって、

前記半導体膜層の形成後もしくは形成中には、前記半導体膜層の少なくともゲート電極形成領域に前記半導体基板とは反対導電型の不純物を注入する工程を含み、前記選択エッチング工程後には、ゲート電極が形成された前記半導体基板を、水蒸気と水素の混合雰囲気下で水蒸気分圧5%~20%、熱処理温度650℃~850℃の範囲で熱処理する工程を有し、前記熱処理工程によって一方では前記半導体膜層の表面に存在する酸化膜を選択的に還元して酸素含有量5%以下の半導体-酸素結合層を

前記半導体膜層とバリア層との間に形成すると共に、他方では前記ゲート電極周辺に露出した前記極薄のゲート酸化膜を選択的に再酸化することを特徴とする半導体装置の製造方法。

【請求項6】前記選択エッチング工程後には、ゲート電極が形成された前記半導体基板を、水蒸気と水素の混合雰囲気下で水蒸気分圧5%~20%、熱処理温度650℃~850℃の範囲で熱処理する工程を有し、前記熱処理工程によって一方では前記半導体膜層の表面に存在する酸化膜を選択的に還元して酸素含有量5%以下の半導体-酸素結合層を前記半導体膜層とバリア層との間に形成すると共に、他方では前記ゲート電極周辺に露出した前記極薄のゲート酸化膜を5nm以下の膜厚分選択的に再酸化し、前記ゲート電極を構成する高融点金属膜層と半導体膜層とのコンタクト抵抗を $5 \times 10^{-6} \Omega \text{cm}^2$ 以下とすることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】前記半導体膜層の少なくともゲート電極形成領域に前記半導体基板とは反対導電型の不純物を注入する工程を、前記半導体膜層の形成後に前記半導体基板とは反対導電型の不純物をイオン打込み法によって注入する工程としたことを特徴とする請求項5もしくは6記載の半導体装置の製造方法。

【請求項8】前記ゲート酸化膜上に半導体膜層、高融点金属膜の窒化物からなるバリア層および高融点金属膜層を順次積層する成膜工程において、

前記半導体膜層の形成はCVD法による多結晶もしくは非晶質のシリコン膜の形成法により、

高融点金属膜の窒化物からなるバリア層の形成は、加熱下の半導体基板上に窒素もしくはアンモニア含有の雰囲気中でタングステン及びモリブデンの少なくとも一種をスパッタもしくはCVD法で堆積し、窒素含有率20~40%のバリア層を形成する工程により、

バリア層上への高融点金属膜層の成膜はタングステン及びモリブデンの少なくとも一種をスパッタもしくはCVD法で堆積する工程により構成したことを特徴とする請求項5乃至7のいずれか一つに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係り、特に半導体装置の電極を半導体膜層と高融点金属膜層との積層構造（積層型ゲート電極と云う）で構成したゲート電極において、半導体膜と高融点金属とのコンタクト抵抗を低く抑えるのに好適な半導体装置およびその製造方法に関する。

【0002】

【従来の技術】この種の半導体装置のゲート電極には TiSi_2 、 CoSi_2 や WSi_2 等のシリサイドが用いられている。しかし、これらの電極材は形成時に化学反応

を伴うこと、化合物であること、装置が微細構造化（高密度化）することによりゲート長が短くなり電極幅が極めて狭くなることから必然的に配線抵抗が増大すること（細線効果と云う凝集現象による）等から、配線幅が $0.1\mu\text{m}$ 以下となるような超微細LSIには適用がむずかしい。

【0003】そこで、W、Moといった高融点金属膜の電極部への適用が考えられている。特に多結晶シリコン上に高融点金属を積層した構造のゲート電極は、多結晶シリコンヘイオン打込み（インプラ）等により、P、B等のドーピングができ、広範囲に適用が可能である。

【0004】

【発明が解決しようとする課題】しかし、多結晶シリコンへのインプラやその後のアニールにより、高融点金属を積層する下地となる多結晶シリコン表面上に自然発生的に酸化物等による不純物膜が形成されてしまい、多結晶シリコンと高融点金属のコンタクト抵抗は上昇する。

【0005】これを防ぐために、多結晶シリコン上面を強力に洗浄したり、金属膜の積層前にドライエッチ等で物理的に除去する等の表面清浄化処理方法がとられる。しかし、そのような方法では、洗いむら等により不純物膜除去が不十分であったり、電極以外の部分へデバイスのダメージを与えたりする。

【0006】このような課題の解決法としては、例えば、実際に半導体膜上に高融点金属を積層する場合には、両者の反応を抑制するために窒化物等によるバリア膜を形成することを利用して、そのバリア膜の一部と半導体膜とを意図的に反応させ、ごく少量の反応化合物を形成させて抵抗を抑制する方法が報告されている（例えば、IEEE Trans. Electron. Device, vol. 43, p1864）。

【0007】しかし、半導体膜と高融点金属との間にバリア膜を形成しても、半導体膜と高融点金属とのコンタクト抵抗の低減はなおかつ不十分であり、さらなる改善が望まれていた。

【0008】したがって、本発明の目的は、上記従来の問題点を解消することにより、デバイス特性を劣化させることなく、半導体膜と高融点金属のコンタクト抵抗を抑制し得る積層型ゲート電極を備えた半導体装置及びその製造方法を提供することにある。

【0009】

【課題を解決するための手段】本発明者等は、ゲート電極を構成する半導体膜と高融点金属のコンタクト抵抗を低減させるために、半導体素子を形成した半導体基板について種々の雰囲気下で熱処理を繰り返し実験検討した。

【0010】その結果、水蒸気と水素の混合雰囲気下での熱処理の場合、特定の条件を満たしたとき、コンタクト抵抗が著しく低下すると云う新しい知見を得た。

【0011】また、この熱処理条件下では、ゲート電極

の下地となる半導体膜に注入したPやB等が薄いゲート酸化膜を介して半導体基板のチャネル部に漏れる恐れがないため、基板の閾値が変動せず、安定した特性を有する半導体装置が実現できると云うこともわかった。

【0012】半導体膜にPやB等の基板と反対導電型の不純物を注入することは、半導体膜自信の固有抵抗を低減するために従来からも行われていることである。しかし、従来の熱処理では、これら不純物が薄いゲート酸化膜を介して半導体基板のチャネル部に漏れ出し、基板の閾値が変動してしまうと云う問題があった。同一半導体基板にpチャネル素子及びnチャネル素子が形成されている相補型のMOSデバイスの場合には、特にこの閾値の変動は問題となるので避けねばならない。

【0013】本発明者等が見出したこの特定熱処理条件は、水蒸気と水素の混合雰囲気下で、水蒸気分圧5%～20%、熱処理温度650℃～850℃の範囲で行うことである。

【0014】この特定熱処理条件であれば、ゲート電極直下部以外のゲート酸化膜が露出している部分では選択的に酸化反応が生じて再酸化される一方で、ゲート電極部の半導体膜（多結晶シリコン膜）上面、すなわち多結晶シリコン膜が高融点金属、または高融点金属と多結晶シリコン膜との反応抑制バリア膜の、いずれかと接している部分では、選択的に還元反応を生じ、半導体膜（多結晶シリコン膜）上に酸素含有量5%以下の半導体-酸素結合層が形成され、その結果、半導体膜（多結晶シリコン）と高融点金属のコンタクト抵抗を $5 \times 10^{-6} \Omega \text{cm}^2$ 以下に抑制できることを見出したものである。

【0015】多結晶シリコン（半導体膜層）と高融点金属の金属膜層の間には、両者の反応を防止するバリア膜を設けることがのぞましく、一般的にバリア膜には、高融点金属の窒化膜が適当である。本発明では、例えば高融点金属にW、バリア膜にWNを用いる場合には、WN膜の窒素含有量を20%～40%とする。この窒素比率で上記の特定条件での熱処理を行うと、半導体膜と高融点金属Wの反応は、ほとんど生じない程度に抑制される。

【0016】ゲート電極部の多結晶シリコン膜部分で、還元反応を生じさせるためだけであれば、水素のみの雰囲気下での熱処理も有効である。しかし、その場合には、基板上に露出されている部分のゲート酸化膜の信頼性を向上させるために再酸化処理を別途行う必要があり、しかもその熱処理は上記の特定条件でなければ、ゲート電極部分の多結晶シリコンが再酸化される可能性が高い。したがって、本発明では上記の特定熱処理条件で選択的な酸化、還元反応を同一処理の中で行わしめることが重要である。

【0017】

【発明の実施の形態】本発明は、上記実験事実に基づいてなされたものであり、以下に本発明の目的を達成する

ことのできる発明の特徴について具体的に詳述する。

【0018】まず、本発明の目的を達成することのできる半導体装置の特徴は次の通りである。

【0019】(1)．半導体基板主面に形成された極薄のゲート酸化膜の一領域には、半導体膜層及び高融点金属の窒化物層からなるバリア層を介して高融点金属膜層を積層したゲート電極が設けられ、前記ゲート電極加工後の段階で前記電極周辺の他の領域には少なくとも前記極薄のゲート酸化膜が露出した部分を有する半導体装置であって、前記高融点金属膜層の下地を構成する前記半導体膜層と前記バリア層との間に、前記半導体膜層の表面に自然発生的に形成された酸化膜を還元して酸素含有量5%以下の半導体-酸素結合層を設ける共に、前記ゲート電極部周辺に露出した前記極薄のゲート酸化膜上に、前記半導体-酸素結合層の形成と同一工程で形成される再酸化膜を設け、前記ゲート電極を構成する高融点金属膜層と半導体膜層とのコンタクト抵抗を $5 \times 10^{-6} \Omega \text{cm}^2$ 以下とすること。

【0020】(2)．そして好ましくは、上記(1)において前記ゲート電極の一つは前記半導体膜層にp型不純物が注入されたゲート電極であり、他の一つは前記半導体膜層にn型不純物が注入されたゲート電極であって、これら導電型が互いに異なる半導体膜層を有するゲート電極が同一半導体基板上に形成され、相補形の電界効果型半導体装置を構成していること。

【0021】(3)．また、上記(1)もしくは(2)において、前記高融点金属の窒化物層からなるバリア層が、タングステン窒化物膜及びモリブデン窒化物膜の少なくとも1種で構成されていること。

【0022】(4)．また、上記(1)～(3)において、前記高融点金属の窒化物層の窒素含有量が、10～40%であること。

【0023】また、本発明の目的を達成することのできる半導体装置の製造方法の特徴は次の通りである。

【0024】(5)．半導体基板主面に、極薄のゲート酸化膜を形成する工程と、前記ゲート酸化膜上に半導体膜層、高融点金属膜の窒化物からなるバリア層および高融点金属膜層を順次積層する成膜工程と、前記成膜工程により形成された積層膜上にマスクパターンを形成し、前記ゲート酸化膜上の積層膜を選択的に除去してゲート電極を形成すると共に、ゲート電極周辺の前記極薄のゲート酸化膜の少なくとも一部を露出させる選択エッチング工程とを有する半導体装置の製造方法であって、前記半導体膜層の形成後もしくは形成中には、前記半導体膜層の少なくともゲート電極形成領域に前記半導体基板とは反対導電型の不純物を注入する工程を含み、前記選択エッチング工程後には、ゲート電極が形成された前記半導体基板を、水蒸気と水素の混合雰囲気下で水蒸気分圧5%～20%、熱処理温度650℃～850℃の範囲で熱処理する工程を有し、前記熱処理工程によって一方で

は前記半導体膜層の表面に存在する酸化膜を選択的に還元して酸素含有量5%以下の半導体-酸素結合層を前記半導体膜層とバリア層との間に形成すると共に、他方では前記ゲート電極周辺に露出した前記極薄のゲート酸化膜を選択的に再酸化すること。

【0025】(6)．上記(5)において、前記選択エッチング工程後には、ゲート電極が形成された前記半導体基板を、水蒸気と水素の混合雰囲気下で水蒸気分圧5%～20%、熱処理温度650℃～850℃の範囲で熱処理する工程を有し、前記熱処理工程によって一方では前記半導体膜層の表面に存在する酸化膜を選択的に還元して酸素含有量5%以下の半導体-酸素結合層を前記半導体膜層とバリア層との間に形成すると共に、他方では前記ゲート電極周辺に露出した前記極薄のゲート酸化膜を5nm以下の膜厚分選択的に再酸化し、前記ゲート電極を構成する高融点金属膜層と半導体膜層とのコンタクト抵抗を $5 \times 10^{-6} \Omega \text{cm}^2$ 以下とする。

【0026】(7)．上記(5)もしくは(6)において、前記半導体膜層の少なくともゲート電極形成領域に前記半導体基板とは反対導電型の不純物を注入する工程を、前記半導体膜層の形成後に前記半導体基板とは反対導電型の不純物をイオン打込み法によって注入する工程としたこと。

【0027】(8)．上記(5)～(7)において、前記ゲート酸化膜上に半導体膜層、高融点金属膜の窒化物からなるバリア層および高融点金属膜層を順次積層する成膜工程においては、前記半導体膜層の形成はCVD法による多結晶もしくは非晶質のシリコン膜の形成法により、高融点金属膜の窒化物からなるバリア層の形成は、加熱下の半導体基板上に窒素もしくはアンモニア含有の雰囲気中でタングステン及びモリブデンの少なくとも一種をスパッタもしくはCVD法で堆積し、窒素含有率20～40%のバリア層を形成する工程により、バリア層上への高融点金属膜層の成膜はタングステン及びモリブデンの少なくとも一種をスパッタもしくはCVD法で堆積する工程により構成したこと。

【0028】上記本発明の特定熱処理条件、すなわち、水蒸気と水素の混合雰囲気下で水蒸気分圧5%～20%、熱処理温度650℃～850℃の範囲で熱処理する工程とした理由は、前述したように、同じ熱処理工程の中で、一方では還元反応を生じさせ、他方では酸化反応を選択的に生じさせるという、互いに矛盾する反応を同時に進行させることができるからである。

【0029】すなわち、一方のゲート酸化膜上に形成した半導体膜(多結晶シリコン)の表層部に自然発生的に形成された薄い酸化膜上では、還元反応が生じ酸素含有量5%以下の薄い半導体-酸素結合層が形成され、他方のゲート電極周辺に露出した極薄のゲート酸化膜上では酸化反応が生じて再酸化膜が形成される。

【0030】水蒸気分圧が5%よりも小さくなると、熱

処理時間が長くなり過ぎる、半導体膜（多結晶シリコン）に注入した基板と反対導電型の不純物が薄いゲート酸化膜を通して基板側に漏れ出し、半導体素子の閾値を変化させ特性を不安定なものとする、などの理由から好ましくない。

【0031】また、水蒸気分圧が20%を越えるとゲート電極となるWやMo等の高融点金属が酸化されるため好ましくない。

【0032】また、熱処理温度が650℃より低くなると熱処理時間が長くなり過ぎ、実用上好ましくない。また、850℃より高くなると半導体膜（多結晶シリコン）に注入した基板と反対導電型の、例えばBやP等の不純物が薄いゲート酸化膜を通して基板側に漏れ出し、半導体素子の閾値を変化させることから好ましくない。

【0033】なお、本発明において上記熱処理は、通常は常圧で行うが、減圧下で行うこともできる。ただし、減圧下で行う場合には、還元反応には影響しないが、酸化反応に影響を及ぼし、露出したゲート酸化膜領域での酸化反応速度が遅くなり、同一処理時間で比較すると常圧で処理した場合よりも形成される再酸化膜の膜厚が薄くなる。

【0034】

【実施例】以下、本発明の実施例を図面に基いて詳細に説明する。始めに各実施例に共通する本発明の特定熱処理に使用する積層型ゲート電極を備えた半導体装置の試料作成について説明する。

【0035】図1は、本発明を実施するために作成した試料の成膜工程を示す断面図である。半導体基板となるシリコンウエハ1上に、ゲート酸化膜2としての薄い酸化膜（膜厚5nm）を形成し、その上にCVD法により半導体膜層として非晶質シリコン膜3を積層する。

【0036】この非晶質シリコン膜3へ、半導体基板1と反対導電型の不純物としてPまたはBをインプラしてドーピングした後、窒素雰囲気中で950℃1分アニールした。その多結晶シリコン3上に、バリア膜となる高融点金属の窒化物層として窒素比率20%～40%の窒化タングステン4（膜厚5nm）を、続いて高融点金属の電極となるタングステン5（膜厚50nm）をスパッタ法により順次堆積した。

【0037】図2は、図1の積層膜を選択的にエッチングして試料となるゲート電極を形成した断面図であり、図3はそのエッチングの工程図をそれぞれ示す。すなわち、図1に示したウエハ1の積層膜上に、図3に示したエッチング工程のフローチャートにしたがって、図2に示した断面構成を有する試料を作製した。

【0038】まず、フォトリソ（膜厚1μm）を塗布した後、フォトリソ（不図示）を通して露光、現像し、レジストパターンを形成する。次いで、レジストパターンにそって、タングステン5、窒化タングステン4、多結晶シリコン3を周知のドライエッチング法で処

理した後、プラズマアッシングにより、レジストマスクを除去し、図2に示したゲート電極6を有する試料を得た。以下の実施例ではこの試料を用いて所定の熱処理を施した。

【0039】〈実施例1〉図2に示した断面構成の試料を、水蒸気分圧15%の水素雰囲気中で700℃90分熱処理した。このとき、積層型ゲート電極6の周辺部のゲート酸化膜2が露出した領域7では、選択的にシリコンのみが酸化され、再酸化層として新たに形成された酸化膜は20Åであった。最上層のタングステン5に酸化は見られなかった。

【0040】図4は、この熱処理の結果得られた半導体装置の断面を模式的に示したもので、ゲート電極6の多結晶シリコン膜3とバリア膜となる窒化タングステン4との間には、還元反応が生じ半導体-酸素結合層8が形成され、他方のゲート電極周辺に露出した極薄のゲート酸化膜7では酸化反応が生じて再酸化膜2'が形成されている。

【0041】図5に、図1～図2のようにして形成した試料のケルビンパターンによるコンタクト抵抗測定値を、Pをインプラによりドーピングしたn型ゲートの場合で示す。水素雰囲気下で熱処理した本実施例の試料では、熱処理しなかった試料と比較すると、コンタクト抵抗は約1桁低下し、 $5 \times 10^{-7} \Omega \text{cm}^2 \sim 2 \times 10^{-6} \Omega \text{cm}^2$ の範囲となった。

【0042】また、比較例として700℃90分、窒素雰囲気下で熱処理したウエハでは、同じく比較例とした熱処理無しのウエハと同程度のコンタクト抵抗であったことから、コンタクト抵抗低減は、加熱工程ではなく水素雰囲気による還元工程に起因している。

【0043】この試料を、図5に示した測定の後、硫酸および過酸化水素水を用いてタングステン5および窒化タングステン4を除去し、光電分光装置（XPS）を用いて表面状態を分析した。W-Si結合は観測されず、また、水蒸気分圧15%の水素雰囲気下で熱処理した本実施例の試料は、多結晶シリコン膜3と窒化タングステン4との界面に酸素含有量5%以下の半導体-酸素結合層8が形成されていた。また、ゲート電極周辺に露出した極薄のゲート酸化膜7及び多結晶シリコン膜3の露出面には酸化反応が生じて再酸化膜2'が形成されていた。

【0044】なお、比較例となる熱処理しなかった試料では多結晶シリコン膜3と窒化タングステン4との界面の酸素含有量は20%以上であった。

【0045】〈実施例2〉図2に示した試料を作製する際に、BまたはPのインプラと、インプラ後のアニール工程を省いて作成し、水蒸気分圧15%の水素雰囲気中で700℃90分熱処理した。試料のケルビンパターンによるコンタクト抵抗値を測定した結果を図6に示す。水素雰囲気下の熱処理を行わなかった比較試料でも、コンタクト抵抗値は約 $4 \times 10^{-6} \Omega \text{cm}^2$ と低かったが、

本発明の熱処理を行った試料では約 $3 \times 10^{-7} \Omega \text{cm}^2$ とさらに1桁低い値を示した。

【0046】〈実施例3〉図2に示した断面構造の試料を、さまざまな水蒸気分圧と熱処理温度とで水素雰囲気下で熱処理した後、ケルビンパターンによりコンタクト抵抗を測定した。その結果、水蒸気分圧5%~20%の範囲で、熱処理温度が650℃~850℃好ましくは700℃~850℃であれば、デバイス特性を劣化させずに、上記熱処理によるコンタクト抵抗低減が認められ、いずれも $5 \times 10^{-6} \Omega \text{cm}^2$ 以下を示した。コンタクト抵抗測定後、各試料について、硫酸および過酸化水素水を用いてタングステンおよび窒化タングステンを除去し、表面からXPS分析を行った。上記熱処理した試料における半導体-酸素結合層8の酸素含有量は、全て5%以下であった。

【0047】〈比較例1〉図2に示した断面構造の試料を、水蒸気分圧60%の水素雰囲気中で900℃1分熱処理した。このとき、露出したゲート酸化膜7の部分では、選択的にシリコンのみ酸化され、新たに形成された酸化膜は20Åであった。試料のケルビンパターンによるコンタクト抵抗値を測定した結果、約 $7 \times 10^{-4} \Omega \text{cm}^2$ と高い値を示した。

【0048】このコンタクト抵抗測定後、硫酸及び過酸化水素水を用いてタングステンおよび窒化タングステンを除去した。表面からXPS分析を行った所、窒化タングステン4及び多結晶シリコン3の界面の酸素含有量は20%を超えており、過剰の水蒸気量中で高温熱処理したため、多結晶シリコン3上面が異常に酸化され実施例1に示したような酸素含有量5%以下の半導体-酸素結合層8は形成されていなかった。

【0049】〈比較例2〉図2に示した断面構造の試料を、水蒸気分圧30%の水素雰囲気中で850℃10分熱処理した。このとき、露出したゲート酸化膜7の部分では、選択的にシリコンのみ酸化され、新たに形成された酸化膜は20Åであった。試料のケルビンパターンによるコンタクト抵抗値を測定した結果、約 $3 \times 10^{-6} \Omega$

cm^2 と高い値を示した。

【0050】コンタクト抵抗測定後、硫酸及び過酸化水素水を用いてタングステンおよび窒化タングステンを除去した。表面からXPS分析を行った所、窒化タングステン4及び多結晶シリコン3の界面の酸素含有量は約15%を超えており、過剰の水蒸気量中での熱処理のため、多結晶シリコン上面が酸化されていた。

【0051】

【発明の効果】以上詳述したように、本発明により所期の目的を達成することができた。すなわち、半導体膜、高融点金属の窒化膜及び高融点金属を順次積層した積層構造を含むゲート電極部のコンタクト抵抗を $5 \times 10^{-6} \Omega \text{cm}^2$ 以下に抑制することができた。

【図面の簡単な説明】

【図1】ゲート酸化膜を形成した半導体基板上にゲート形成に必要な積層膜を形成する工程断面図。

【図2】図1の積層膜をエッチングして本発明の実施例に使用する積層型ゲート電極の試料を形成する工程断面図。

【図3】ゲート電極を形成するフローチャート。

【図4】本発明のゲート電極部を模式的に示した断面図。

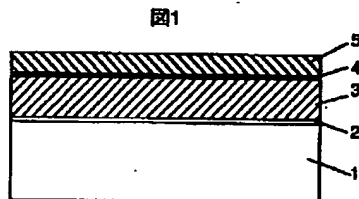
【図5】実施例1の熱処理によるコンタクト抵抗を比較例と対比して示した特性図。

【図6】同じく実施例2の熱処理によるコンタクト抵抗を比較例と対比して示した特性図。

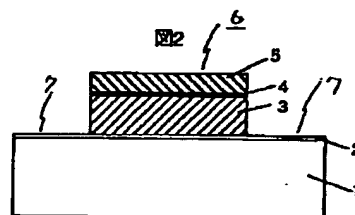
【符号の説明】

- 1…半導体基板、
- 2…ゲート酸化膜、
- 2'…再酸化膜、
- 3…非晶質もしくは多結晶シリコン膜、
- 4…窒化タングステン膜、
- 5…タングステン膜、
- 6…積層型ゲート電極、
- 7…ゲート酸化膜の露出部、
- 8…酸素含有量5%以下の半導体-酸素結合層。

【図1】



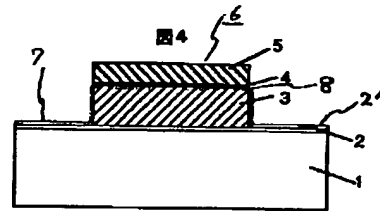
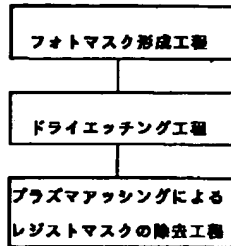
【図2】



【図3】

【図4】

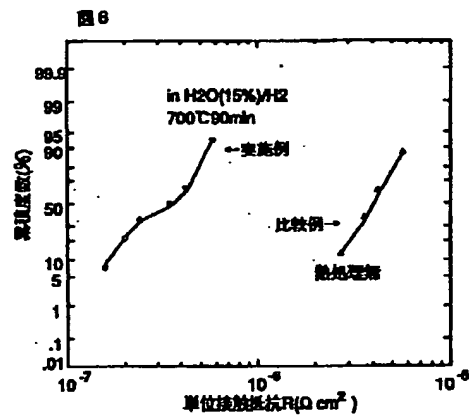
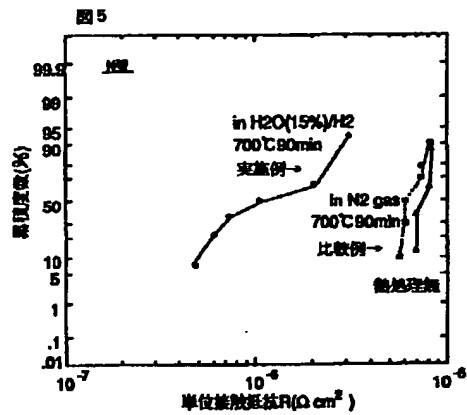
圖 3



1—半導体基板、 2—ゲート酸化膜、
3—再酸化膜、 4—多結晶シリコン膜、
5—酸化タングステン膜、 6—タングステン膜、
7—積層型ゲート電極、 8—ゲート酸化膜の露出部、
9—炭素含有量5%以下の半導体—絶縁材料層

【図5】

【図6】



フロントページの続き

(72)発明者 大西 和博
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

Fターム(参考) 4M104 AA01 BB01 BB29 BB31 BB33
BB38 BB40 CC05 DD37 DD42
DD43 DD55 DD78 DD86 DD88
FF13 FF18 GG10 HH15
5F040 DB03 DC01 EC02 EC04 EC07
5F048 AC01 AC03 BB04 BB06 BB07
BB09 BB13